

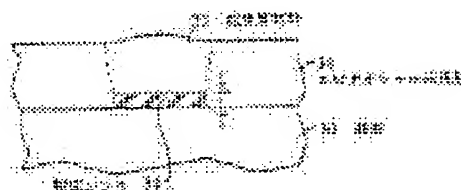
PART THAT CONSISTS OF SEMICONDUCTORS**Publication number:** JP4318918 (A)**Publication date:** 1992-11-10**Inventor(s):** JIYON KONDON BIIN; GURETSUGU SUMIO HIGASHI;
ROBAATO HARU; JIYASUTEIN RARII PETEIKORASU**Applicant(s):** AMERICAN TELEPHONE & TELEGRAPH**Classification:****- international:** *H01L21/20; H01L29/04; H01L29/32; H01L21/02; H01L29/02;*
(IPC1-7): H01L21/20**- European:** H01L29/04B; H01L29/32**Application number:** JP19920056142 19920207**Priority number(s):** US19910671276 19910318**Also published as:**

JP3027473 (B2)
US5091767 (A)
EP0505093 (A2)
EP0505093 (A3)
EP0505093 (B1)

more >>

Abstract of JP 4318918 (A)

PURPOSE: To provide a lattice non-conforming hetero-structure growth method, wherein defect of patter epitaxy-hetero structure of conventional method of low threading dislocation density, is improved by forming plural shapes with constant intervals (dislocation sinks) on a first semiconductor single-crystal substrate surface of an a substrate, related to a semiconductor hetero-structure, when the lattice constant of the substrate is different from that of an epitaxial hetero-layer grown on the substrate. **CONSTITUTION:** This system relates to a stressed layer hetero-epitaxial structure (for example, GeSi/Si) comprising a surface of sufficient flatness and low threading dislocation density. Further, most (for example, 90% or more) of the entire surface of a structure can be used for device process.; These features are obtained by using a new 'dislocation sink' 32 of a height (h) almost equal to, or lower than the thickness of distorted hetero-epitaxial layer 31 on a substrate 30, or in the substrate 30. Specifically, $h \geq h_c$, as a critical film thickness where miss-fit dislocation occurs, which is decided by a coupling of the substrate 30 and its growth layer 33.



Data supplied from the esp@cenet database — Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-318918

(43) 公開日 平成4年(1992)11月10日

(51) Int.Cl.⁵

H 0 1 L 21/20

識別記号

庁内整理番号

9171-4M

F I

技術表示箇所

審査請求 未請求 請求項の数12(全 7 頁)

(21) 出願番号 特願平4-56142

(22) 出願日 平成4年(1992)2月7日

(31) 優先権主張番号 6 7 1 2 7 6

(32) 優先日 1991年3月18日

(33) 優先権主張国 米国 (U S)

(71) 出願人 390035493

アメリカン テレフォン アンド テレグ
ラフ カムパニー

AMERICAN TELEPHONE
AND TELEGRAPH COMPA
NY

アメリカ合衆国、ニューヨーク、ニューヨ
ーク、マディソン アヴェニュー 550

(72) 発明者 ジョン コンドン ビーン

アメリカ合衆国 07974 ニュージャージ
ー ニュープロヴィデンス、コロニアル
ウェイ 41

(74) 代理人 弁理士 三俣 弘文

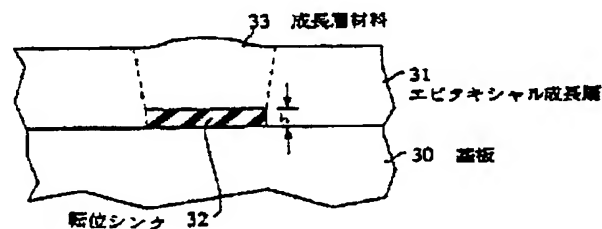
最終頁に続く

(54) 【発明の名称】 半導体からなる部品

(57) 【要約】

【目的】 基板の格子定数が、基板上に成長するエピタキシャルヘテロ層と異なる場合の半導体ヘテロ構造に関し、第1の半導体単結晶基板表面あるいは基板中に、等間隔の複数の形状（転位シンク）を形成することによって、低スレッディング転位密度の、従来手法のパターンエピタキシーヘテロ構造の欠点を改善した、格子不整合ヘテロ構造成長手法を提供することを目的とする。

【構成】 十分な平坦性を有する表面と、低スレッディング転位密度を有する、歪層ヘテロエピタキシャル構造（例 GeSi/Si）に関する。さらに、構造の全表面の大部分（例90%以上）を、デバイスプロセスに用いることができる。これらの特徴は、基板上の歪ヘテロエピタキシャル層厚とほぼ等しいか、それより低い高さ h を有する、新規の“転位シンク”（11）を、基板上ないしは基板中に用いることで達成される。具体的には、 h_c を基板とその成長層との組合せによって決まる、ミスフィット転位の発生する臨界膜厚として、 $h \geq h_c$ とする。



1

2

【特許請求の範囲】

【請求項1】 半導体からなる部品において、この部品が、

(a) 第1の半導体単結晶基板(30) (この基板は、主表面を有し、基板上または基板中に等間隔の複数の形状(11) (以下、“転位シンク”)を有し、与えられた転位シンクには、前記主表面に垂直方向のある大きさ(h)が付随する)と、

(b) 前記主表面上の公称厚さがtで、第1の半導体基板に対してエピタキシャルである第2の半導体層(31) (第2の半導体層の少なくとも一部が転位シンクの少なくともいくつかと接する) からなり；

(c) 第1及び第2半導体材料のそれぞれの格子定数 a_1 、 a_2 が異なり；

(d) 第2の半導体材料層が、1または複数の転位移動方向と、転位移動方向内での最小転位移動距離(以下、 l_0)を有し、

(e) 転位シンクに接する第2の半導体層の少なくとも一部分内に第2半導体層のほぼ全てのポイントが移動方向に沿って転位シンクの距離 l_0 の範囲内にあるように、第2半導体層が配置され；

(f) 層厚tと、シンクの大きさhは、hがtより小さいか、あるいはほぼtと等しく、層の表面が十分平坦であるように選択されることを特徴とする、半導体からなる部品。

【請求項2】 与えられた転位シンクが、主表面上に配置された、最上面を有する第3の半導体(42) からなり、前記第3の半導体の厚さがhで、hはほぼtと等しく、第3の半導体の最上面には第2の半導体材料がほとんど配置されないことを特徴とする請求項1に記載の部品。

【請求項3】 与えられた転位シンクが、主表面上に配置された第3の半導体(32)を有し、前記第3の半導体の厚さがhが、 $h < t$ であり、第3の半導体の最上面を第2の半導体材料が覆うことを特徴とする請求項1に記載の部品。

【請求項4】 与えられた転位シンクが、主表面内で凹形状(“溝62”)を有し、シンクの大きさhが溝の深さであり、 $h < t$ であり、溝を第2の半導体材料が覆うことを特徴とする請求項1に記載の部品。

【請求項5】 与えられた転位シンクが、シンクの大きさhがほぼ0となるように、主表面とともに十分に平坦であるアモルファス基板領域(72)を有し、アモルファス基板領域を第2の半導体材料が覆うことを特徴とする請求項1に記載の部品。

【請求項6】 第1の半導体が、Si、GaAs、InP、Geからなるグループから選択され、第2の半導体が、GaAs、Ge、Si、InP、InGaAs、InGaAs_{1-x}P_xからなるグループから選択されることを特徴とする請求項1に記載の部品。

【請求項7】 第3の半導体が、SiO₂、Si₃N₄ (x~4) からなる材料から選択されることを特徴とする請求項2に記載の部品。

【請求項8】 第3の半導体が、SiO₂、Si₃N₄ (x~4) からなる材料から選択されることを特徴とする請求項3に記載の部品。

【請求項9】 第2の半導体層の、ミスフィット転位を形成する臨界膜厚が h_c であり、 $10h_c < h < t$ であることを特徴とする請求項1に記載の部品。

10 【請求項10】 第2の半導体層が、基板の表面に垂直方向に組成が変化する領域を有することを特徴とする請求項1に記載の部品。

【請求項11】 前記領域が、それぞれ組成の異なる第1及び第2の組成層の、少なくとも2つの層を有することを特徴とする請求項10に記載の部品。

【請求項12】 前記領域が、第2の組成の複数の層を有することを特徴とする請求項11に記載の部品。

【発明の詳細な説明】

【0001】

20 【産業上の利用分野】 本発明は、基板の格子定数が、基板上に成長するエピタキシャルヘテロ層と異なる場合の半導体ヘテロ構造に関する。

【0002】 単結晶半導体基板上にエピタキシャル半導体層を成長させる際に、基板の材料と成長材料との格子定数が異なり、成長層の厚さが臨界膜厚 h_c を越えると、成長材料中に“ミスフィット”転位が生じる。

【0003】 完全な転位は単に結晶のバルク内に留まらず、表面に広がりループを形成したり、他の転位と共にノードを形成することが知られている。従って、ミスフィット転位は、通常成長層と基板との界面(あるいは隣接した)部分を有し、また成長層の厚さ方向に広がり、成長層の表面に達する、界面に斜めに広がる(通常転位の2つの端部を有する)部分を生じる。前者の部分は、“界面”転位と呼ばれ、後者は“スレッディング”転位と呼ばれる。

【0004】 前述の(“歪層ヘテロ構造”)半導体構造は、以前には得られなかったデバイス及び/あるいはデバイスの組合せを可能とするため、高い関心が寄せられている。例えば、Si上に良質のGaAs層が作れると、高速GaAs回路あるいはGaAs光素子とSiのVLSI回路とを組み合わせることも可能であろう。しかし、歪層半導体ヘテロ構造によって高機能のデバイス及び/あるいは回路が作成されることは認識されているが、多くの材料を実際に用いようとしても、高い転位密度によって制約されてしまう。特に、高いスレッディング転位密度は、デバイスの性能を大幅に劣化させ好ましくない。

【従来の技術】

50 【0005】 界面及びスレッディング転位を低減する従来技術として、“パターン”あるいはメサ成長がある。

3

メサエピタキシーでは横方向の成長領域を制限して、転位ソースが成長領域内で存在しにくくし、さらに／あるいは形成される転位が成長中及びその後の熱処理中に、成長領域の界面に達することができるようにしている。例として、E.A.Fitzgeraldによる米国特許出願第561,744号(1990年8月2日発行)がある。

【0006】パターンエピタキシーの例としては、英国特許出願GB2,215,514A号がある。その例では、基板表面に転位を終端させる形状(“メサ”、あるいは“溝”も可能)のパターンを形成している。

【0007】ここで考えている、ほぼ全ての歪層ヘテロエピタキシャル構造では、多数のミスフィット転位は任意の方向には移動できない。むしろ、転位は既定の方向(あるいは少数の(例2、3の)既定の方向)に移動が制限される。例えば、ダイヤモンド型結晶構造あるいは閃亜鉛鉱型結晶構造の成長層材料の場合、基板面を(100)方向として、[011]あるいは[0(1バー)1]界面方向にのみ転位が移動できる。

【0008】

【発明が解決しようとする課題】メサ成長手法は、基板上的エピタキシャル材料の、比較的小さい、独立した領域にのみ行うことができる。GB2,215,514A号のパターンエピタキシー手法は、パターン成長手法のこの欠点を補うものであるが、その手法自身にも重要な欠点がある。特に、示されているメサ形状では、通常表面の平坦性が損なわれ、その後の金属処理及び／あるいは他の処理が難しくなる。通常、GB2,215,514A号の手法は、ICプロセスあるいは光エレクトロニクスデバイス、特に光検出器のような広い面積を有するデバイスの作製には好ましくない。

【0009】歪層半導体ヘテロ構造を有するデバイス及びデバイスの組合せによって、高機能を達成できるという観点から、そのようなヘテロ構造が、低スレディング転位密度の、従来手法のパターンエピタキシーヘテロ構造の欠点を改善した、成長手法が望まれる。本発明は、そのようなヘテロ構造及びそのヘテロ構造の作製手法に関する。

【0010】

【課題を解決するための手段】本発明は、請求項に示されるように、十分な成長面平坦性とスレディング転位を遮断、除去する形状(ここでは、“転位シンク”と呼ぶ)を有する、新規の歪層ヘテロエピタキシャル半導体に関する。

【0011】本発明による半導体結晶成長手法では、第1の半導体単結晶基板表面あるいは基板中に、等間隔の複数の形状(以下、“転位シンク”)を有し、前記転位シンクが表面に対して(h)の大きさ有する。さらに、第2の半導体層が基板に対してエピタキシャルであり、第2の半導体層の一部が少なくとも転位シンクのいくつかと接する。第1及び第2半導体材料の格子定数 a_1 、

4

a_2 はそれぞれ異なる。通常、 $|a_1 - a_2|/a_2$ は、ほぼ0.5%以上である。さらに、第2の半導体材料層が、少なくとも一つの転位移動方向と、転位移動方向内での最小転位移動距離(以下、 l_d)を有する。この転位シンクは、転位シンクに接する第2の半導体層の少なくとも一部分内で、第2材料層のほぼ全てのポイントが、移動方向に対して転位シンクの距離 l_d の範囲内にあるように配置される。従ってこの形状を配置することによって、第2半導体層の成長中の転位が移動すると、

10

転位シンクによって転位が終端され、その結果ミスフィット転位のスレディング部が除去される。さらに、層厚 t と、シンクの大きさ h について、 h が t より小さいか、あるいはほぼ t と等しく選択され、層の表面が十分平坦性を有するように設定される。

【0012】本発明の実施例では、転位シンクはSiO₂の小領域あるいは、他の第3の材料(例Si₃N₄)による円柱箱形状で、直径2 μ mで高さは成長層厚より十分低くしてある。しかし、転位シンクは基板面上をエッチングした凹形状でも良く、あるいはアモルファス基板材料(通常イオン注入によって形成される)でも良い。

20

転位シンクは、その断面が円形状である必要はない。断面が多角形(例、三角形、四辺形)で、そのある側面が基板の結晶面方位に適切に配置されている方が好ましい場合もある。

【0013】

【実施例】図1に、転位シンクパターン例の平面図を示す。図は基板の表面部を示し、ヘテロエピタキシャル層(図示せず)中をある方向に移動するあらゆるミスフィット転位は、最大で距離 h 移動すると転位シンクによって妨げられるように、転位シンク11のアレイが配置されている。図1には、[基板の面方位が(100)であると仮定して]転位の移動方向である[011]及び[0(1バー)1]方向も示してある。

30

【0014】従来技術によって、基板と成長層の組合せと、成長及びプロセスパラメータを与えることによって、スレディング転位の最小距離の典型値が求められる。ここで、与えられた歪層ヘテロエピタキシャル半導体の最小距離(l_d)とは、ある成長条件下での、半導体中の全てのスレディング転位の90%以上(99%以上が好ましい)の転位の移動距離を意味する。例えば、MBEによる600℃、0.3nm/sの成長条件で、(100)面Ge_{1-x}Si_x/Si($x \sim 0.15 - 0.20$)歪層ヘテロエピタキシャル構造を成長した場合、連続成長時には、 $l_d \sim 100 \mu$ mとなる。しかし、成長及び処理条件に、成長チャンバー内外で高温の成長あるいはアニールが含まれる際には、この距離は(数桁のオーダーで)かなり大きい値となる。通常、 l_d は簡単な実験で決定される。

【0015】図1に規則的に配列された転位シンクを示す。図示された形状が不可欠なものではなく、他の形状

50

とすることもできる。配列では、シンクの中心間の距離が L で、転位の移動可能方向に対して少しずつずらしてシンクが配置されている。 Λ は、 L 、シンクの大きさ、隣接シンク間のオフセット量に依存する。あらゆる特定のパラメータに対して、 Λ が簡単に決定される。例えば、シンクが直径 $2\mu\text{m}$ （あるいは一辺が $2\mu\text{m}$ ）で、 $L=10\mu\text{m}$ 、オフセット $1\mu\text{m}$ の場合、 $\Lambda=100\mu\text{m}$ となる。従って、このような転位シンクの配列を有するヘテロ構造を、転位移動面内でのスレディング転位移動の最小距離（ l_d ）が $100\mu\text{m}$ 以上の条件で成長プロセスを行うと、ほぼ全てのスレディング転位はシンクによって遮断される。

【0016】シンクの実施例では、標準的なリソグラフィ技術によって形成された、円柱箱形状の SiO_2 （あるいは Si_3N_4 のような適当な他の材料）である。従って、これらのシンクはアモルファス材料からなる。転位がこのようなシンクによって遮断されると、スレディング転位アームはアモルファス/結晶界面で消失する。

【0017】前述の場合、成長層は基板面の約95%を覆う連続層を形成する。従来技術のメサ手法と比較して、本発明によるヘテロ構造は明らかに利点を有する。

【0018】本発明において重要な点は、転位シンクの性質と、重要なパラメータである、基板表面に対するシンクの大きさ（ h ）である。図2に、本発明による歪層ヘテロエピタキシャル構造の関連部分を示す。図中で、30は基板、31はエピタキシャル成長層、32は転位シンク（例、高さ h の“円柱箱形状” SiO_2 ）で、33は転位シンク上の成長層の（通常多結晶）領域である。このシンクの高さ h は、適当な成長及びプロセス条件下で、成長層厚が h に達する前に、ほぼ全ての（90%以上）転位の発生と移動（補正的な“層緩和”）が生じるように選択される。具体的には、 h を $10h_c$ 以上に設定する。例えば、 $\text{Ge}_x\text{Si}_{1-x}/\text{Si}$ （ x は、 $|a_c - a_s|/a_s$ が1%となるようにする）の場合、 h_c は 20nm となり、 h は $0.2\mu\text{m}$ 以上であれば良い（ただし、層厚 t より h は小さく、あるいは十分小さいことが望ましい；以下、“十分に小さい”とは、“その25%以下”を意味する）。

【0019】図2の実施例では、十分な平坦性を有する層表面が得られることがわかる。ここで、“十分な平坦性を有する”とは、関連する転位シンクの表面の偏差が、せいぜい h であることを意味する。また、多結晶材料33の存在による影響は、そのような領域が全層領域の中のごく一部分であり、多結晶の性質から製造デバイスあるいは回路プロセスに不都合をもたらすことがないため、無視できる。

【0020】図2の実施例は、MBEのような非選択成長プロセスを用いれば良い。一方、図3の実施例は、CVD等の選択成長プロセスを用いる。このようなプロセ

スでは、成長層材料を基板表面に成長するが、転位シンクを構成する材料（例 SiO_2 ）上に直接成長することはない。図3の実施例では、転位シンクの高さ h と層厚 t は、十分な平坦性を有する表面を得るために、ほぼ等しくすることが望ましい。

【0021】図4の実施例は図2と異なり、非選択成長の代わりに選択成長プロセスを用いる。転位シンクの横方向の大きさは通常比較的小さいため、シンクの高さ h が層厚 t より十分小さい場合には、成長層材料の横方向成長が、シンク32の過成長となり得る。過成長材料は通常単結晶エピタキシャル材料であり、層表面は十分平坦性を有するようになる。

【0022】前記のように、本発明による転位シンクでは、基板表面上に成長される第3の材料（例 SiO_2 あるいは Si_3N_4 ）を必要とすることはない。図5は転位シンクが基板表面上の凹形状（“溝”）62からなる実施例を示す。大きさ h はまた、ほぼ全ての層緩和が、成長層厚が h に達する前に起きるように設定される。図5の実施例は、選択成長プロセスと同様非選択成長を行うことができる。

【0023】さらに図6及び図7に、本発明による他の実施例を示す。参照番号72は、転位シンクを形成する、基板のアモルファス領域を示す。具体的には、アモルファス領域はイオンブランテーションによって形成される。領域72の深さは重要なパラメータではなく、通常基板表面は十分な平坦性を有し、従って本発明によるこれらの実施例では h はほぼ0となる。

【0024】図6の実施例は、非選択成長プロセスによって形成され、領域33は通常多結晶成長材料からなる。一方、図7の実施例は選択成長プロセスによって形成され、アモルファス領域72上への成長材料の横方向成長を含む。

【0025】前述の実施例に関し、3種類の転位シンク全て（基板表面上の第3の材料部、基板中の溝、及び基板中のアモルファス領域）は、従来技術によって作製され、成長層材料も従来技術によって成長可能である。

【0026】本発明による手法は、 GeSi/Si の構成に限定されることはない。一般的に、本発明はあらゆる歪層ヘテロエピタキシャル成長に用いることができる。現在関心の持たれている構成は、 $\text{InGaAs}/\text{GaAs}$ 、 GaAs/Si 、 InP/GaAs 及び InP/Si である。II/V族半導体層の成長も可能である。さらに、歪層は均一の組成である必要はなく、超格子構造と同様不均一組成を有する層を用いても良い。

【0027】本発明に関して、歪ヘテロエピタキシャル層を成長したウェハとしても良いが、多くの場合、複数のデバイス（トランジスタのような電子デバイス、レーザあるいは光検出器のような光エレクトロニクスデバイス、及び/あるいは光スイッチのような光デバイス）からなる半導体ともなり得る。このようなデバイスは従来

技術であり、論議の必要はない。類似の従来技術の構造と比較して、本発明によるヘテロ構造内の、成長層領域の連続性と平坦性の改善といった観点から、類似の従来技術のヘテロ構造と比較して、複合デバイス回路のレイアウトが非常に簡便化され、基板領域に対する集積可能デバイスの数が大幅に増加し、デバイスの相互接続長が減少することにより回路速度が増加する。

【0028】具体例1。(100)面Si基板上に、標準的な、酸化プロセス、リソグラフィ及びドライエッチングによって、SiO₂円柱箱形状の配列を形成した。配置は図1と同様である。SiO₂層厚は800nm、円柱箱形状は直径約2μm、中心間の距離が10μm、オフセットが1μmである。従来手法による基板面洗浄の後、50nm厚のSi層を、750℃、0.3nm/sの条件でMBE成長し、その後、550℃でSi層を5nm成長した。次に、500nm厚のGe_{0.15}Si_{0.85}層を、550℃、0.3nm/sの条件でMBE成長した。上記によって得られた歪ヘテロエピタキシャル層を透過型電子顕微鏡によって評価したところ、スレッディング転位密度は10⁵/cm²の範囲にあることがわ

かり、この値は同様の成長条件で得られた非パターン層で観測される転位密度より、約一桁低いものである。

【0029】具体例2。ヘテロエピタキシャルGeSi層を、GeSi層厚を約2.5μmとして、他の条件はほぼ例1と同様にして成長した。表面の平坦性の偏差は、800nmより十分低いものであった。

【0030】具体例3。ヘテロエピタキシャルGeSi層を、酸化膜厚を1μm、各層を急速熱CVD(RTCVD)技術によって、900℃、約1.5nm/sで成長し、GeSi層厚を約0.9μmとした。他の条件は例1とほぼ同様である。その結果十分な平坦性を有する表面が得られた。

【0031】具体例4。ヘテロエピタキシャルGeSi層を、各層をRTCVDによって、900℃、約1.5nm/sで成長し、酸化膜厚を400nm、GeSi層厚を約3μmとした。他の条件は例1とほぼ同様である。円柱箱形状の上に成長するGeSi材料は単結晶であり、十分な平坦性を有する表面が得られた。

【0032】具体例5。Si(100)表面上に、従来手法によって、“溝”と呼ばれる400nm厚の正方形(一辺2μm)凹形状の配列を形成する。配置は図1と同様である。上記によってパターンニングされた表面に、100nmSiバッファ層をMBE成長し、その後Ge_{0.15}Si_{0.85}材料を300nm(600℃のMBEで)成長する。試料はその場で10分間750℃でアニールされる。次に、1μm層厚のGe_{0.15}Si_{0.85}を550℃でMBE成長する。その結果得られたGeSi層は、全体に渡り単結晶で、十分平坦な表面である。

【0033】具体例6。アモルファス領域(一辺1μm正方形)の配列を、Siイオン注入(30kV、1×1

0¹⁵cm⁻²、77K)によってSi(100)内に形成する。配置は図1と同様である。上記の表面上に、100nm厚のSi層を650℃でMBE成長し、その後1μm厚のGe_{0.25}Si_{0.75}層を550℃でMBE成長する。その結果得られたGeSi層は、アモルファス領域上が多結晶領域となる以外は単結晶である。GeSi層の表面は十分平坦である。

【0034】具体例7。十分な平坦性を有するGeSi層が、バッファ層とGeSi層を900℃のRTCVDで成長する以外は、他の条件を例6とほぼ同様として得られる。得られたGeSi層は全体に渡り単結晶である。

【0035】具体例8。GeSi層を例1の手法で成長する。その後、得られた層をその場で20分間800℃でアニールする。

【0036】具体例9。GeSi層を、アニールに先だって試料を成長チャンバーから取り出す以外は、他の条件を例8と同様にして成長する。アニールは、不活性雰囲気内で、800℃5分間のRTA(急速熱アニール)によって行う。

【0037】具体例10。(100)面から[011]面方位に4°傾いたSi表面上に、例1と同様の条件で、SiO₂円柱箱形状配列を形成する。100nm厚のGaAs層を従来手法のMBE成長を用いて400℃で成長し、その後90nmのGaAs層を600℃で成長する。得られたGaAs層上に、10層対(20nmIn_{0.2}Ga_{0.8}As/100nmGaAs)からなる多層構造を、550℃で成長し、その後1μm厚のGaAs層を600℃で成長する。得られた試料は十分平坦な表面を有し、円柱箱形状は多結晶材料で覆われている。

【0038】具体例11。例10と同様に、傾いたSi(100)表面上に、円柱箱形状配列を形成する。100nm厚のGaAs層を従来手法のMBE成長を用いて600℃で成長し、その後0.5μm厚のIn_xGa_{1-x}As(xは0から0.2まで変化)1次グレーデッド層を成長する。成長中温度を600℃から550℃まで変化させた。得られた試料上に、1μm層厚In_{0.2}Ga_{0.8}As層を、500℃でMBE成長した。得られた試料は、得られた試料は十分平坦な表面を有し、円柱箱形状は多結晶材料で覆われている。

【0039】

【発明の効果】以上に述べたように、本発明では、基板の格子定数が、基板上に成長するエピタキシャルヘテロ層と異なる場合の半導体ヘテロ構造に関し、第1の半導体単結晶基板表面あるいは基板中に、等間隔の複数の形状(以下、“転位シンク”)を形成する。この転位シンクは、転位シンクに接する第2の半導体層の少なくとも一部分内で、第2材料層のほぼ全てのポイントが、移動方向に対して転位シンクの距離1dの範囲内にいるように配置される。この形状を配置することによって、第2

半導体層の成長中の転位が移動すると、転位シンクによって転位が終端され、その結果ミスフィット転位のスレディング部が除去される。従って、低スレディング転位密度の、従来手法のパターンエピタキシーヘテロ構造の欠点を改善した、格子不整合ヘテロ構造成長手法を提供することができる。

【図面の簡単な説明】

【図1】転位シンクの配列の実施例を示す図。

【図2】基板上に成長層を有する際の、転位シンクの実施例を示す図。

【図3】基板上に成長層を有する際の、転位シンクの実施例を示す図。

【図4】基板上に成長層を有する際の、転位シンクの実施例を示す図。

【図5】基板中に凹形状を有する際の、転位シンクの実

施例を示す図。

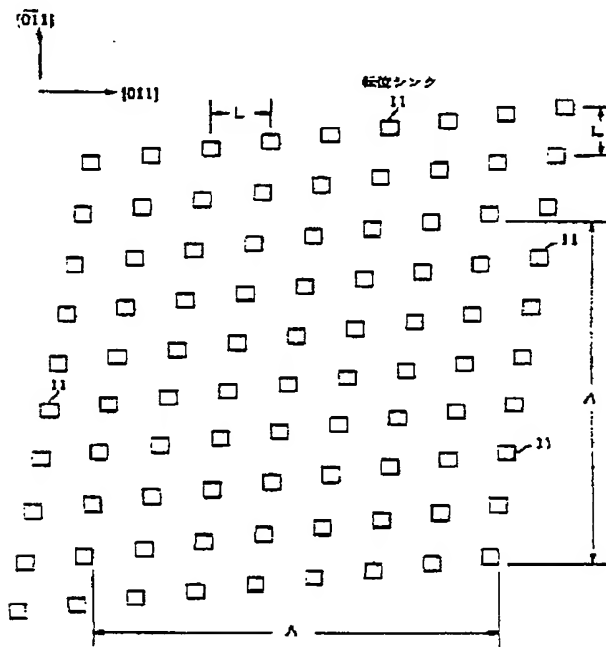
【図6】基板中にアモルファス領域を有する際の、転位シンクの実施例を示す図。

【図7】基板中にアモルファス領域を有する際の、転位シンクの実施例を示す図。

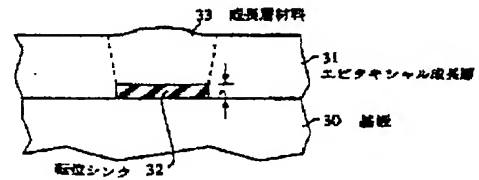
【符号の説明】

- 11 転位シンク
- 30 基板
- 31 エピタキシャル成長層
- 32 転位シンク
- 33 成長層材料
- 42 第3材料部位
- 62 凹形状（“溝”）
- 72 アモルファス領域

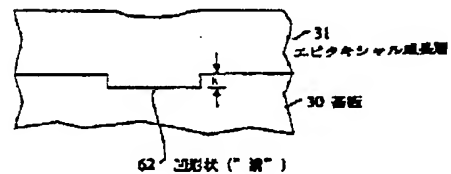
【図1】



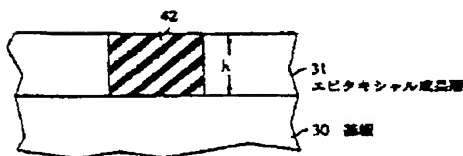
【図2】



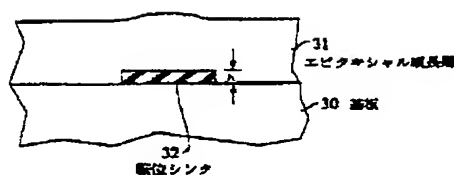
【図3】



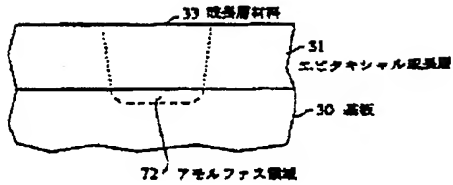
【図3】



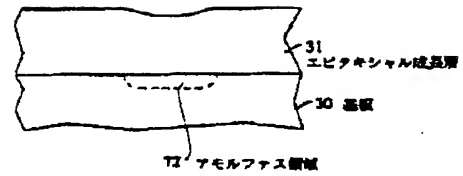
【図4】



【図6】



【図7】



フロントページの続き

(72)発明者 グレッグ スミオ ヒガシ
アメリカ合衆国 07920 ニュージャージー
ー バスキング リッジ、ホワイトナック
ロード 111

(72)発明者 ロバート ハル
アメリカ合衆国 07079 ニュージャージー
ー サウス オレンジ、メドウブルック
レーン 356

(72)発明者 ジヤステイン ラリー ベティコラス
アメリカ合衆国 18106 ペンシルバニア
ウエスコスヴィル、ウイズダム プレイ
ス 1445